

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-111737

(P2004-111737A)

(43) 公開日 平成16年4月8日(2004.4.8)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/316	H O 1 L 21/316 A	5 F O 4 8
H O 1 L 21/8234	H O 1 L 27/10 4 8 1	5 F O 5 8
H O 1 L 21/8247	H O 1 L 29/78 3 O 1 G	5 F O 8 3
H O 1 L 27/088	H O 1 L 27/10 4 3 4	5 F 1 O 1
H O 1 L 27/10	H O 1 L 29/78 3 7 1	5 F 1 4 O

審査請求 未請求 請求項の数 10 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2002-273625 (P2002-273625)
 (22) 出願日 平成14年9月19日 (2002.9.19)

(71) 出願人 596180124
 F A S L J A P A N 株式会社
 福島県会津若松市門田町工業団地6番
 (74) 代理人 100090273
 弁理士 國分 孝悦
 (72) 発明者 中村 学
 福島県会津若松市門田町工業団地6番 富
 士通エイ・エム・ディ・セミコンダクタ株
 式会社内
 (72) 発明者 南晴 宏之
 福島県会津若松市門田町工業団地6番 富
 士通エイ・エム・ディ・セミコンダクタ株
 式会社内

最終頁に続く

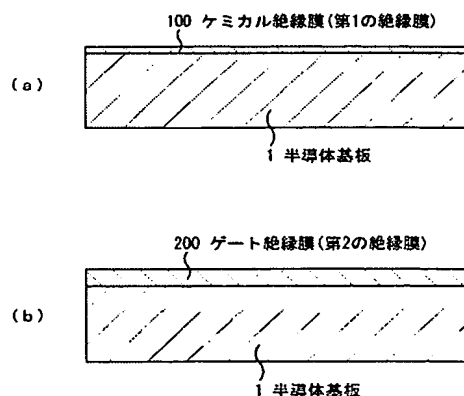
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】ゲート絶縁膜やトンネル絶縁膜等の絶縁膜（第2の絶縁膜）を形成するときに、不純物の低減した信頼性のある半導体装置の製造方法を実現できるようにする。

【解決手段】半導体基板上1に形成されるケミカル酸化膜100を、強酸化性溶液を用いたウエット洗浄により形成するようにして、ウエット洗浄工程から絶縁膜形成工程間における、ケミカル酸化膜100への不純物の付着を低減できるようにする。これにより、低温処理を行なう絶縁膜形成工程において、ケミカル酸化膜100を包含したゲート絶縁膜200を形成するときに、ゲート絶縁膜の絶縁劣化を防止することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板の表面を洗浄した後、強酸化性溶液により前記半導体基板の表面を酸化して第 1 の絶縁膜を形成する工程と、
低温処理により前記第 1 の絶縁膜を包含した第 2 の絶縁膜を形成する工程と
を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

前記第 2 の絶縁膜を、ラジカルを含む雰囲気中で形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 2 の絶縁膜を、酸化物ラジカルを含む雰囲気中でプラズマ酸化により形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】

前記第 2 の絶縁膜を、窒化物ラジカルを含む雰囲気中でプラズマ窒化により形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 5】

前記第 2 の絶縁膜を、ONO 膜として形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 6】

前記強酸化性溶液が硝酸を含む溶液であることを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】

前記強酸化性溶液がオゾンを含む溶液であることを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】

前記低温処理は、650℃以下で行なわれることを特徴とする請求項 1 ～ 7 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 9】

前記第 1 の絶縁膜の膜厚が 1 nm 以上であることを特徴とする請求項 1 ～ 8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 10】

前記第 2 の絶縁膜がゲート絶縁膜またはトンネル絶縁膜であることを特徴とする請求項 1 ～ 9 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に、ゲート絶縁膜の形成時に適用して好適なものである。

【0002】

【従来の技術】

半導体装置の製造において、微小のパーティクルや微量の不純物の付着が高性能かつ高信頼性な半導体装置を実現する上での妨げとなるため、ある製造工程から次の製造工程の間に半導体基板の洗浄工程を設けている。この洗浄工程における洗浄にはさまざまな方法があるが、現在は、塩酸を含む溶液等によるウェット洗浄が主流となっている。

【0003】

【発明が解決しようとする課題】

しかしながら、半導体基板上に絶縁膜を形成するときに、上述したウェット洗浄を行なったからの放置時間の経過にともなって、半導体基板表面に付着する有機物等の不純物が増加していくことになるが、従来では、ウェット洗浄の際に形成されるケミカル酸化膜が有機物等の不純物が付着しやすい塩酸を含む溶液によって形成されていたため、放置時間の

10

20

30

40

50

径過にともなうこの不純物による悪影響があった。

【0004】

具体的には、上述したケミカル酸化膜を包含したゲート酸化膜もしくはトンネル酸化膜を形成する場合に、ウェット洗浄を行ってから酸化膜の形成を行なうまでの放置時間の経過にともなう、有機物等の不純物の付着による酸化膜の急激な絶縁劣化を招き、信頼性を確保できないという問題があった。

【0005】

本発明は上述の問題点を鑑みてなされたものであり、ゲート絶縁膜やトンネル絶縁膜等の絶縁膜（第2の絶縁膜）を形成するときに、不純物の低減した信頼性のある半導体装置の製造方法を実現することを目的とする。

10

【0006】

【課題を解決するための手段】

本発明者は、鋭意検討の結果、以下に示す発明の諸態様に想到した。

【0007】

本発明の半導体装置の製造方法は、半導体基板の表面を洗浄した後、強酸化性溶液により前記半導体基板の表面を酸化して第1の絶縁膜を形成する工程と、低温処理により前記第1の絶縁膜を包含した第2の絶縁膜を形成する工程とを含むことを特徴とするものである。

【0008】

【発明の実施の形態】

20

ー本発明における半導体装置の製造方法の骨子ー

以下に、本発明における半導体装置の製造方法の骨子について説明する。

従来、塩酸を含む溶液を用いたウェット洗浄により、半導体基板上に薄いケミカル酸化膜が形成されていたが、この塩酸を含む溶液により形成されたケミカル酸化膜は、表面に凹凸を生じて表面積が大きく、有機物等の不純物が付着しやすいものであった。これにより、このケミカル酸化膜を包含するようにゲート酸化膜もしくはトンネル酸化膜等の絶縁膜の形成を、熱酸化によらない低温処理（650℃以下）、例えば直接プラズマ酸化や直接プラズマ窒化にて行なう場合には、その形成温度が低いために有機物等の不純物が除去されず、この不純物による悪影響が顕著となってしまう。

【0009】

30

そこで、本発明者は、ウェット洗浄の際に形成されるケミカル酸化膜を均一で緻密な膜として、有機物等の不純物が付着しにくいものとすべく半導体装置の製造方法を案出した。

【0010】

図1は、本発明における半導体装置の製造方法の骨子を示す概略図である。

図1(a)に示すように、塩酸を含む溶液よりも強酸化性である溶液、例えば硝酸を含む溶液やオゾンを含む溶液、によるウェット洗浄を行なって、半導体基板1上に、ケミカル絶縁膜（第1の絶縁膜）100を形成する。ここで、強酸化性溶液で形成されたケミカル絶縁膜100は、酸化性が強いために、塩酸を含む溶液により形成されたものよりも均一で緻密な膜とすることができるため、膜の表面積を小さくすることができ、有機物等の不純物が付着しにくいものとすることができる。

40

【0011】

続いて、図1(b)に示すように、プラズマ等による低温処理を行なって、ケミカル酸化膜100を包含したゲート絶縁膜（第2の絶縁膜）200を形成する。このとき、形成されるゲート絶縁膜200は、有機物等の不純物が付着しにくいケミカル酸化膜100を包含して形成されるため、塩酸を含む溶液により形成されたケミカル酸化膜を包含して形成されたものよりも、不純物の少ないものとすることができる。

【0012】

前述したように、半導体基板1上に形成されるケミカル絶縁膜100を、ウェット洗浄に強酸化性溶液を用いて形成することで、ウェット洗浄工程から絶縁膜形成工程間におけるケミカル絶縁膜100への不純物の付着を低減させることができる。これにより、低温処

50

理を行なう絶縁膜形成工程において、ケミカル絶縁膜100を包含したゲート絶縁膜200を形成するとき、有機物等の不純物を低減させることができるため、ゲート絶縁膜200の絶縁劣化を防止することができる。

【0013】

一本発明を適用した具体的な実施形態ー

次に、添付図面を参照しながら、本発明における半導体装置の製造方法の骨子を踏まえた実施形態について説明する。本実施形態では、半導体装置の一例として、埋め込みビットライン型のSONOS構造の半導体記憶装置を開示する。この半導体記憶装置は、メモリセル領域（コア領域）のSONOSTランジスタがプレーナ型とされており、周辺回路領域にはCMOSTランジスタが形成されてなるものである。

10

【0014】

図2～図5は、本実施形態における埋め込みビットライン型のSONOSTランジスタを含む半導体記憶装置の製造方法を工程順に示した概略断面図である。ここで、各図の左側がコア領域のゲート電極（ワードライン）に平行な断面図、右側が周辺回路領域の断面図を示している。

【0015】

まず、図2（a）に示すように、P型シリコン（Si）からなる半導体基板1上に、シリコン酸化膜（SiO₂膜）11を熱酸化にて膜厚20nm程度で形成した後、フォトリソグラフィにより、周辺回路領域のトランジスタ形成領域を開口するようにレジストパターン31を形成して、全面にリン（P）をイオン注入した後、アニール処理により不純物を熱拡散させ、Nウェル2を形成する。その後、O₂プラズマを用いた灰化处理等によりレジストパターン31を除去する。

20

【0016】

続いて、図2（b）に示すように、フォトリソグラフィにより、周辺回路領域のNMOSTランジスタ形成領域を開口するようにレジストパターン32を形成して、全面にホウ素（B）をイオン注入した後、アニール処理により不純物を熱拡散させ、NMOSTランジスタ形成領域でトリプルウェル構造となるように、Pウェル3を形成する。その後、O₂プラズマを用いた灰化处理等によりレジストパターン32を除去する。

【0017】

続いて、図2（c）に示すように、シリコン酸化膜11上に、CVD法にてシリコン窒化膜12を膜厚100nm程度堆積する。そして、フォトリソグラフィにより、周辺回路領域の素子分離領域を開口するようにレジストパターン33を形成し、ドライエッチングにより、素子分離領域のシリコン窒化膜12を開口する。その後、O₂プラズマを用いた灰化处理等によりレジストパターン33を除去する。

30

【0018】

続いて、図2（d）に示すように、いわゆるLOCOS法により、シリコン窒化膜12で覆われていない部分にのみ、厚い素子分離用のシリコン酸化膜13を形成し、素子活性領域を画定する。その後、ドライエッチングにより、シリコン窒化膜12を除去する。

【0019】

続いて、図3（a）に示すように、フォトリソグラフィにより、ビットライン形状のレジストパターン34を形成し、これをマスクとして全面に砒素（As）をイオン注入した後、アニール処理により不純物を熱拡散させる。これにより、コア領域にソース／ドレインと兼用のビットライン拡散層4が形成される。その後、O₂プラズマを用いた灰化处理等によりレジストパターン34を除去する。

40

【0020】

続いて、図3（b）に示すように、フッ酸（HF）によるウェットエッチングにより、シリコン酸化膜11を除去し、コア領域及び周辺回路領域の各素子活性領域における半導体基板1の表面を露出させる。

【0021】

続いて、図3（c）に示すように、70℃以上の硝酸を含む強酸化性溶液によるウェット

50

洗浄により、ケミカル酸化膜（第1の絶縁膜）14を、例えば膜厚1.0 nm～1.5 nm程度で形成する。ここで、ケミカル酸化膜14は、強酸化性溶液により形成されるため、均一で緻密な膜である。

【0022】

なお、本発明において、強酸化性溶液とは、塩酸を含む溶液よりも酸化力の強い溶液であると定義され、また、本実施形態で示した硝酸を含む溶液に限定されるものではなく、上述した主性質を満足するものであれば適用可能であり、例えば、オゾンを含む溶液等を適用することも可能である。

【0023】

続いて、多層絶縁膜であるONO膜の形成を行なうが、ここで、このONO膜の形成に用

10

【0024】

具体的には、図7に示すようなラジアルラインスロットアンテナを備えたプラズマ処理装置を用いて、プラズマ酸化処理及びプラズマ窒化処理を行なう。

このプラズマ処理装置1000は、クラスターツール1001に連通されたゲートバルブ1002と、被処理体W（本実施形態では半導体基板1）を載置し、プラズマ処理時に被処理体Wを冷却する冷却ジャケット1003を備えたサセプタ1004を収納可能な処理室1005と、処理室1005に接続されている高真空ポンプ1006と、マイクロ波源1010と、アンテナ部材1020と、このアンテナ部材1020とともにイオンプレーティングを構成するバイアス用高周波電源1007及びマッチングボックス1008と、ガス供給リング1031、1041を有するガス供給系1030、1040と、被処理体Wの温度制御を行なう温度制御部1050とを含み構成されている。

20

【0025】

マイクロ波源1010は、例えば、マグネトロンからなり、通常2.45 GHzのマイクロ波（例えば、5 kW）を発生することができる。マイクロ波は、その後、モード変換器1012により伝送形態がTM、TE又はTEMモードなどに変換される。

【0026】

アンテナ部材1020は、温調板1022と、収納部材1023とを有している。温調板1022は、温度制御装置1021に接続され、収納部材1023は、遅波材1024と遅波材1024に接触するスロット電極（不図示）とを収納している。このスロット電極は、ラジアルラインスロットアンテナ（RLSA）又は超高能率平面アンテナと称される。但し、本実施形態ではその他の形式のアンテナ、例えば一層構造導波管平面アンテナ、誘電体基板平行平板スロットアレーなどを適用しても良い。

30

【0027】

上記構成のプラズマ処理装置を用いて本実施形態のONO膜を形成するには、まず、図3（d）に示すように、低温（650℃以下）におけるプラズマ酸化法により、ケミカル酸化膜14を包含したトンネル酸化膜（シリコン酸化膜）15aを膜厚7 nm程度で形成する。

具体的には、450℃程度の温度条件で酸素原子を含むソースガスの雰囲気中で、そのソースガスに2 kWのマイクロ波を照射することにより酸素物ラジカル（O*ラジカルまたはOH*ラジカル）を発生させて酸化処理を行ない、トンネル酸化膜15aを形成する。

40

【0028】

続いて、図4（a）に示すように、熱CVD法により、SiH₄を原料ガスとして530℃の温度条件で、トンネル酸化膜15a上に非結晶シリコン膜15bを膜厚10 nm程度に堆積する。ここで、非結晶シリコン膜の代わりに多結晶シリコン膜を形成してもよい。

【0029】

続いて、図4（b）に示すように、プラズマ窒化法により、非結晶シリコン膜15bを完全に窒化し、トンネル酸化膜15a上にシリコン窒化膜15cを形成する。

具体的には、450℃程度の温度条件で窒素原子を含むソースガス、例えばNH₃ガスの雰囲気中で、そのソースガスに2 kWのマイクロ波を照射することにより窒化物ラジカル

50

(N*ラジカルまたはNH*ラジカル)を発生させて窒化処理を行ない、膜厚10nm程度の非結晶シリコン膜15bを完全に窒化し尽くして、膜厚15nm程度のシリコン窒化膜15cに置き換える。

【0030】

続いて、図4(c)に示すように、プラズマ酸化法により、シリコン窒化膜15cの表層を酸化し、シリコン酸化膜15dを形成する。

具体的には、450℃程度の温度条件で酸素原子を含むソースガスの雰囲気中で、そのソースガスに2kWのマイクロ波を照射することにより酸素物ラジカル(O*ラジカルまたはOH*ラジカル)を発生させて酸化処理を行ない、シリコン酸化膜15dを形成する。これにより、15a、15c、15dの3膜からなるONO膜15が形成される。

10

【0031】

続いて、図4(d)に示すように、フォトリソグラフィーにより、周辺回路領域を開口するようにレジストパターン35を形成し、ドライエッチングにより、周辺回路領域のONO膜15を除去する。その後、O₂プラズマを用いた灰化処理等によりレジストパターン35を除去する。

【0032】

続いて、図5(a)に示すように、半導体基板1の表面を温度1000℃程度の温度条件で高温加熱して、シリコン酸化膜(SiO₂膜)を膜厚8nm程度で形成した後、フォトリソグラフィーにより、周辺回路領域のPMOSトランジスタ形成領域を開口するように不図示のレジストパターンを形成して、フッ酸(HF)によるウエットエッチングにより、PMOSトランジスタ形成領域のシリコン酸化膜を除去する。さらに、O₂プラズマを用いた灰化処理等によりこの不図示のレジストパターンを除去した後、再度、半導体基板1の表面を温度1000℃程度の温度条件で高温加熱して、シリコン酸化膜を膜厚10nm程度で形成して、PMOSトランジスタ形成領域に膜厚10nm程度のゲート絶縁膜16と、NMOSトランジスタ形成領域に膜厚13nm程度のゲート絶縁膜17との異なる2種類のゲート絶縁膜が形成される。

20

【0033】

続いて、図5(b)に示すように、コア領域及び周辺回路領域にCVD法にて多結晶シリコン膜18を膜厚100nm程度に堆積する。さらに、多結晶シリコン膜18上にCVD法にてタングステンシリサイド19を膜厚150nm程度に堆積する。

30

【0034】

続いて、図5(c)に示すように、フォトリソグラフィー及びそれに続くドライエッチングにより、タングステンシリサイド19及び多結晶シリコン膜18をパターニングし、コア領域及び周辺回路領域のPMOSトランジスタ形成領域とNMOSトランジスタ形成領域に、タングステンシリサイド19及び多結晶シリコン膜18からなるゲート電極をそれぞれ形成する。このとき、コア領域には、このゲート電極をビットライン拡散層4と略直交するように形成する。

【0035】

さらに、周辺回路領域にのみ、LDD構造からなるソース/ドレイン20、21を形成する。

40

具体的に、PMOSトランジスタ形成領域には、ゲート電極の両側における半導体基板1の表面にp型不純物をイオン注入し、エクステンション領域22を形成する。他方、NMOSトランジスタ形成領域には、ゲート電極の両側における半導体基板1の表面にn型不純物をイオン注入し、エクステンション領域23を形成する。

【0036】

次に、CVD法により、全面にシリコン酸化膜を堆積した後、このシリコン酸化膜の全面を異方性エッチング(エッチバック)して、各ゲート電極の両側面のみシリコン酸化膜を残し、サイドウォール24を形成する。

【0037】

そして、PMOSトランジスタ形成領域には、ゲート電極及びサイドウォール24の両側

50

における半導体基板 1 の表面に p 型不純物をイオン注入し、エクステンション領域 2 2 と一部重畳されてなる深いソース／ドレイン 2 0 を形成する。他方、NMOS トランジスタ形成領域には、ゲート電極及びサイドウォール 2 4 の両側における半導体基板 1 の表面に n 型不純物をイオン注入し、エクステンション領域 2 3 と一部重畳されてなる深いソース／ドレイン 2 1 を形成する。

【0038】

しかる後に、全面を覆う数層の層間絶縁膜、コンタクトホールやビアホール、各種配線層等を形成し、最上層に保護絶縁膜（ともに不図示）を形成することにより、半導体基板 1 上に、コア領域には SONOS 型のメモリセルのアレイが形成され、周辺回路領域には CMOS 型のトランジスタが形成される。このとき、コア領域のビットライン拡散層 4 は、配線で裏打ちされる。ここで、コア領域の概略図を図 6 (a) に示し、また、図 6 (b) に図 6 (a) における I-I 断面図と、II-II 断面図を示す。図 6 (a) に示すように、ビットライン拡散層 4 には、配線で裏打ちするためのコンタクトホール形成部位 2 5 がワード線 1 9 の 1 6 本につき 1 本の割合で所定箇所に形成されている。

10

以上の工程を経ることで、本実施形態の半導体記憶装置が完成する。

【0039】

本実施形態では、素子分離法として、LOCOS 法を用いたが、STI (Shallow Trench Isolation) 法を用いてもよい。また、プラズマ酸化の方法としては、一般的な枚葉式プラズマチャンバーに原料ガスを入れ、酸素ラジカル (O^*) を生成する方式でもよい。また、ゲート電極は、多結晶シリコン膜上にタングステンシリサイドを形成したが、コバルトなどを用いて、サリサイド化してもよい。また、コアは、プレーナ型で形成しているが、いわゆるビットライン酸化方式でもよい。また、半導体基板は N 型でもよく、結晶面方位は (100) でも (111) でもよい。また、ビットラインの裏打ちはワードライン 8 本につき 1 本でも、32 本につき 1 本でも、20 本につき 1 本でもよい。また、本実施形態におけるコア領域のメモリセルアレイの構造は仮想接地型であるが、NOR 型でも、NAND 型でも、その他の構造でもよい。

20

【0040】

－半導体装置の特性検証結果－

図 1 で示した半導体装置において、ケミカル酸化膜（第 1 の絶縁膜）100 の形成を、従来の塩酸を含む溶液により形成したものと、本実施形態に示す硝酸を含む溶液により形成したものとで電気的特性の比較検証を行なった。

30

【0041】

図 8 は、ゲート絶縁膜 200 の絶縁耐圧の特性図であり、図 8 (a) は塩酸を含む溶液によりケミカル酸化膜 100 を形成した半導体装置の特性図、図 8 (b) は硝酸を含む溶液によりケミカル酸化膜 100 を形成した半導体装置の特性図である。ここで、溶液の濃度としては、10～60 wt % 程度である。

【0042】

これらの特性図は、縦軸に累積不良率、横軸にゲート絶縁膜 200 の絶縁破壊に至った電気量を示している。また、実線でつないだ特性は、1 つの半導体装置に対するものであり、測定試料としては、ケミカル酸化膜 100 形成後、直ちに低温処理 (O^* ラジカル) を行なってゲート絶縁膜 200 を形成したものが「1」であり、ケミカル酸化膜 100 形成後、1 時間放置した後に低温処理してゲート絶縁膜 200 を形成したものが「2」、同様に、2 時間放置してゲート絶縁膜 200 を形成したものが「3」、3 時間放置してゲート絶縁膜 200 を形成したものを「4」である。

40

【0043】

図 8 (a) に示す塩酸を含む溶液によりケミカル酸化膜 100 を形成した半導体装置は、ゲート絶縁膜 200 を形成するまでの放置時間が長くなると、絶縁耐圧が著しく減少することがわかる。これは、塩酸を含む溶液により形成されたケミカル酸化膜 100 は、表面に凹凸を生じて表面積が大きく、有機物等の不純物が付着がしやすくなっており、放置時間の経過にともなって付着する不純物も増加し、この不純物によって絶縁耐圧が著しく減

50

少していくと考えられる。

【0044】

一方、図8(b)に示す硝酸を含む溶液によりケミカル酸化膜100を形成した半導体装置は、ゲート絶縁膜200を形成するまでの放置時間が長くなっても、絶縁耐圧の減少が見られない。これは、硝酸を含む溶液により形成されたケミカル酸化膜100は、均一で緻密な膜であり、有機物等の不純物の付着がしにくく、放置時間が長くなっても付着する不純物はそれほど変わらないため、絶縁耐圧の減少も起こらないと考えられる。

【0045】

図8に示した検証結果により、塩酸を含む溶液よりも強酸化性溶液である硝酸を含む溶液を用いてケミカル酸化膜100を形成することで、絶縁膜の絶縁劣化を防止することができることを実証できた。

10

【0046】

以下、本発明の諸態様を付記としてまとめて記載する。

【0047】

(付記1) 半導体基板の表面を洗浄した後、強酸化性溶液により前記半導体基板の表面を酸化して第1の絶縁膜を形成する工程と、低温処理により前記第1の絶縁膜を包含した第2の絶縁膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【0048】

(付記2) 前記第2の絶縁膜を、ラジカルを含む雰囲気中で形成することを特徴とする付記1に記載の半導体装置の製造方法。

20

【0049】

(付記3) 前記第2の絶縁膜を、酸化物ラジカルを含む雰囲気中でプラズマ酸化により形成することを特徴とする付記1に記載の半導体装置の製造方法。

【0050】

(付記4) 前記第2の絶縁膜を、窒化物ラジカルを含む雰囲気中でプラズマ窒化により形成することを特徴とする付記1に記載の半導体装置の製造方法。

【0051】

(付記5) 前記第2の絶縁膜を、ONO膜として形成することを特徴とする付記1に記載の半導体装置の製造方法。

30

【0052】

(付記6) 前記強酸化性溶液が硝酸を含む溶液であることを特徴とする付記1～5のいずれか1項に記載の半導体装置の製造方法。

【0053】

(付記7) 前記硝酸を含む溶液の温度が70℃以上であることを特徴とする付記6に記載の半導体装置の製造方法。

【0054】

(付記8) 前記強酸化性溶液がオゾンを含む溶液であることを特徴とする付記1～5のいずれか1項に記載の半導体装置の製造方法。

【0055】

(付記9) 前記低温処理は、650℃以下で行なわれることを特徴とする付記1～8のいずれか1項に記載の半導体装置の製造方法。

40

【0056】

(付記10) 前記第1の絶縁膜の膜厚が1nm以上であることを特徴とする付記1～9のいずれか1項に記載の半導体装置の製造方法。

【0057】

(付記11) 前記第2の絶縁膜がゲート絶縁膜またはトンネル絶縁膜であることを特徴とする付記1～10のいずれか1項に記載の半導体装置の製造方法。

【0058】

【発明の効果】

50

本発明によれば、低温処理により第2の絶縁膜を形成するときに、強酸化性溶液により形成された第1の絶縁膜を包含するようにすることで、有機物等の不純物が少ない絶縁膜とすることができる。これにより、半導体基板へのストレス低減を図りつつ、ゲート絶縁膜の絶縁劣化を防止した半導体装置の製造方法を実現することができる。

【図面の簡単な説明】

【図1】本発明における半導体装置の製造方法の骨子を示す概略図である。

【図2】本発明の実施形態におけるSONOS型半導体記憶装置の製造方法を工程順に示した概略断面図である。

【図3】図2に引き続き、本発明の実施形態におけるSONOS型半導体記憶装置の製造方法を工程順に示した概略断面図である。

10

【図4】図3に引き続き、本発明の実施形態におけるSONOS型半導体記憶装置の製造方法を工程順に示した概略断面図である。

【図5】図4に引き続き、本発明の実施形態におけるSONOS型半導体記憶装置の製造方法を工程順に示した概略断面図である。

【図6】本実施形態におけるSONOS型半導体記憶装置のメモリ領域の概略図である。

【図7】プラズマ酸化処理及びプラズマ窒化処理を行なうプラズマ処理装置の概略構成図である。

【図8】ゲート絶縁膜の絶縁耐圧の特性図である。

【符号の説明】

100 ケミカル酸化膜（第1の絶縁膜）

20

200 ゲート絶縁膜（第2の絶縁膜）

1 半導体基板

2 Nウェル

3 Pウェル

4 ビットライン拡散層

11 シリコン酸化膜（SiO₂膜）

12 シリコン窒化膜

13 素子分離用のシリコン酸化膜

14 ケミカル酸化膜（第1の絶縁膜）

15 ONO膜

30

15a トンネル酸化膜（シリコン酸化膜）

15b 非結晶シリコン膜

15c シリコン窒化膜

15d シリコン酸化膜

16 ゲート絶縁膜

17 ゲート絶縁膜

18 多結晶シリコン膜

19 タングステンシリサイド（ワード線）

20、21 ソース／ドレイン

22、23 エクステンション領域

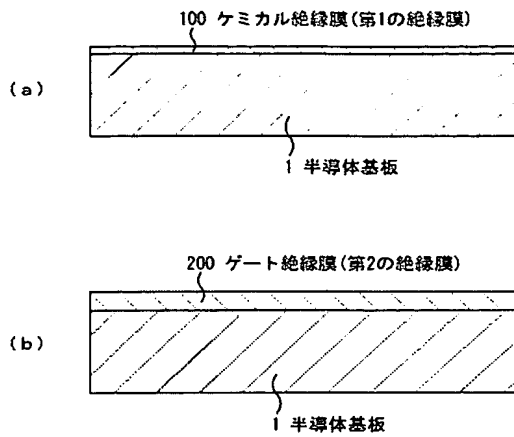
40

24 サイドウォール

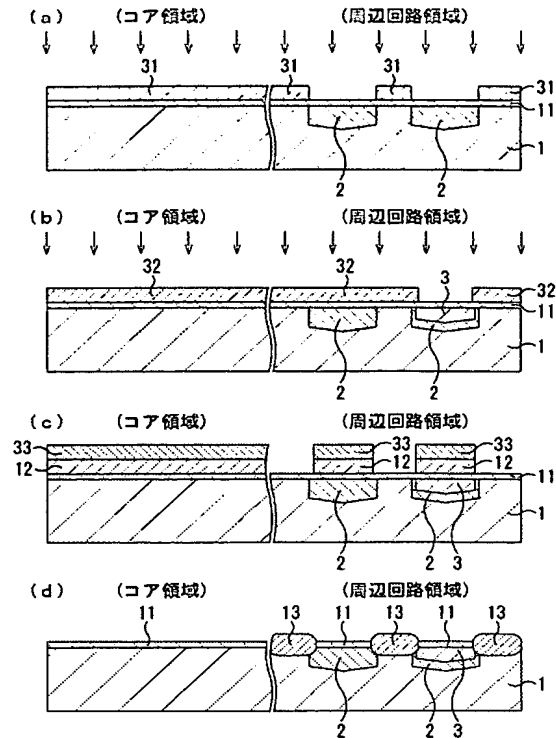
25 コンタクトホール形成部位

31～35 レジストパターン

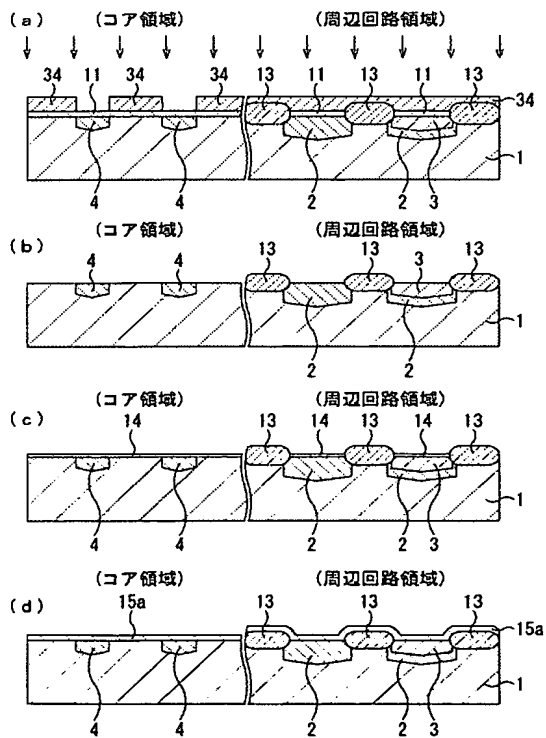
【図 1】



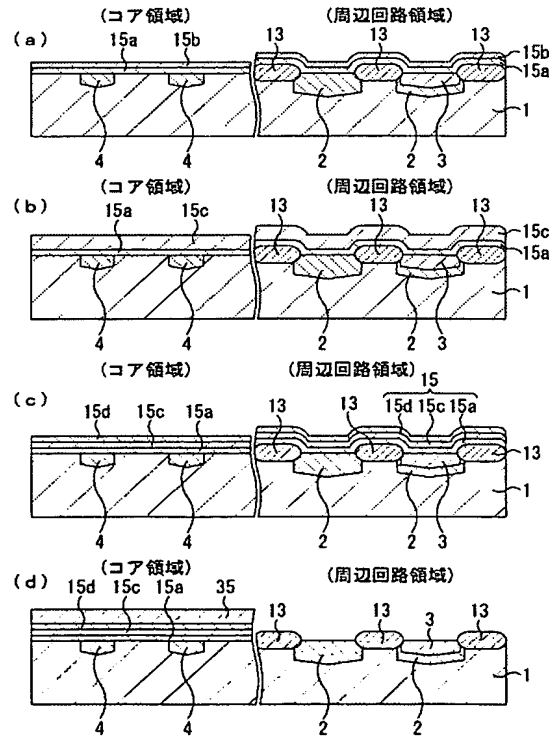
【図 2】



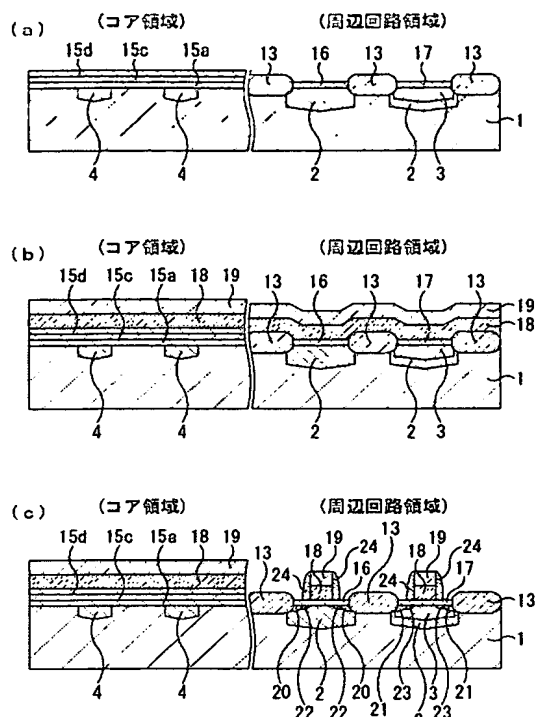
【図 3】



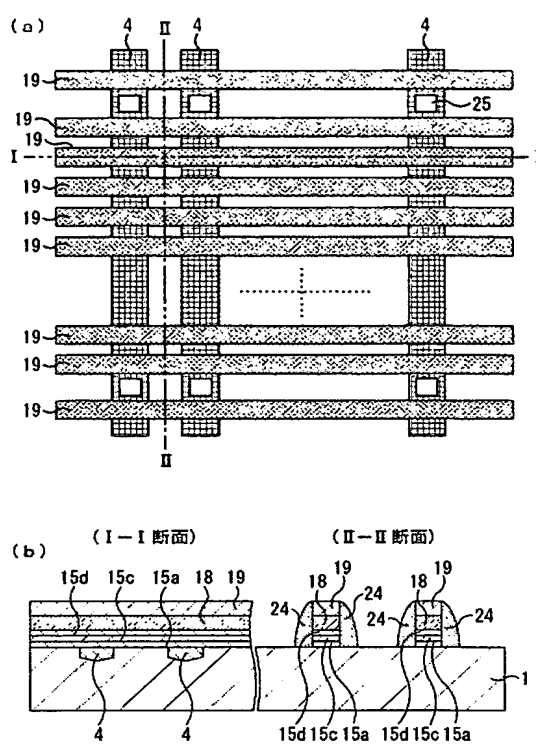
【図 4】



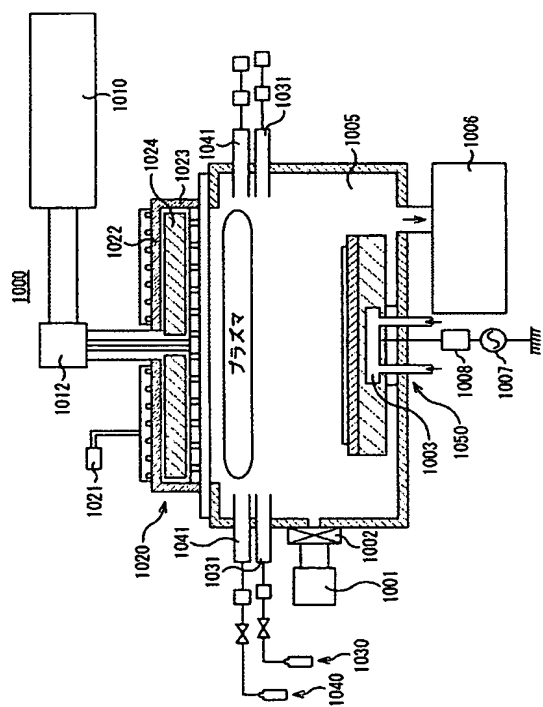
【図5】



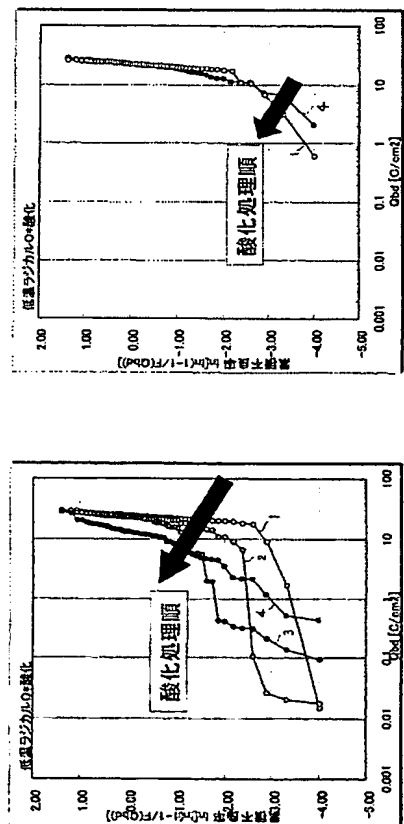
【図6】



【図7】



【図8】



フロントページの続き

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H 0 1 L 27/115	H 0 1 L 27/08	1 0 2 C
H 0 1 L 29/78		
H 0 1 L 29/788		
H 0 1 L 29/792		

(72) 発明者 世良 賢太郎
 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

(72) 発明者 東 雅彦
 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

(72) 発明者 宇津野 五大
 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

(72) 発明者 高木 英雄
 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

(72) 発明者 鍛冶田 達也
 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

F ターム (参考) 5F048 AB01 AC03 BA01 BB05 BB08 BB11 BC06 BE02 BF06 BG01
 BG12 BG13 DA25
 5F058 BA01 BC02 BD02 BD04 BD10 BF69 BF73 BF74 BH16 BJ01
 5F083 EP18 JA04 JA19 JA35 JA53 KA06 KA08 NA01 NA08 PR39
 PR43 PR53 ZA06 ZA07
 5F101 BA45 BD36 BH01 BH21
 5F140 AA19 AB03 AC32 BA01 BD02 BD10 BE01 BE03 BE07 BE08
 BF04 BF11 BF18 BG08 BG12 BG28 BG52 BG53 BH15 BK02
 BK25 CB01 CB04 CB08